

基于参数化模型的 FPGA 时钟网络设计和优化

余 乐¹, 陈 岩¹, 李洋洋¹, 吴 超¹, 王 瑶¹, 苏 童¹, 谢元禄²

(1. 北京工商大学计算机与信息工程学院食品安全大数据技术北京市重点实验室, 北京 100048;

2. 中国科学院微电子学研究所中国科学院微电子器件与集成技术重点实验室, 北京 100049)

摘 要: 本文在 FPGA 时钟网络(Clock Distributed Network, CDN)关键结构尺寸的参数化建模基础上, 提出一种针对全定制 FPGA CDN 的设计和优化方法. 本文所建立的参数化模型将结构尺寸分为拓扑结构和电路与互连两类, 分别给出了这两类尺寸参数的设计原则. 在标准 CMOS 0.13 μm 工艺下, 对 H 树型、鱼骨型以及混合型三种类型时钟网络设计了 2 组结构参数, 分别代表优化前和优化后, 对比分析延时、偏斜、功耗和面积等性能参数. 实验结果显示: 混合型结构在绝对延时和时钟偏斜上减小最多, 分别达到 20.89% 和 63.20%; 鱼骨型结构的面积减小达到 50.14%; H 树型结构的绝对延时和功耗则均降低了 7.37% 和 8.33%. 以上结果充分证明了本文所提设计优化方法的有效性.

关键词: FPGA; 时钟网络; 参数化; 建模

中图分类号: TP391

文献标识码: A

文章编号: 0372-2112 (2017)07-1686-09

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2017.07.019

Design and Optimization of FPGA Clock Network Based on Parameterized Model

YU Le¹, CHEN Yan¹, LI Yang-yang¹, WU Chao¹, WANG Yao¹, SU Tong¹, XIE Yuan-lu²

(1. Beijing Key Laboratory of Big Data Technology for Food Safety, School of Computer and Information Engineering,

Beijing Technology and Business University, Beijing 100048, China; 2. Key Laboratory of Microelectronic Devices &

Integrated Technology, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper proposes a methodology for the design and optimization of CDN (Clock Distributed Network) in full custom FPGA systems based on parameterized models of the structural sizes of the key components of CDN systems. The characteristic model proposed herein divides structural sizes into two categories: topology structure, and circuit and interconnect, and provides the design methodology of these two types of sizes. The paper establishes two sets of structure parameters for H-tree, fish-bone and mixed clock networks in standard CMOS 0.13 μm technology, each representing CDN with or without optimizations. And then we compares the performance in terms of transmission delay, clock skew, power consumption, chip area, among a multitude of other parameters. Experiment results indicate that mixed structure results in the greatest reductions of transmission delay and clock skew by 20.89% and 63.20%, respectively; fish-bone structure achieves the best reductions in chip area by 50.14%, while H-tree structure reduces in transmission delay and power consumption by 7.37% and 8.33%, respectively, which strongly confirms the proposed design and optimization methodology.

Key words: FPGA; clock distributed network (CDN); parameterized; modeling

1 引言

随着 FPGA 逻辑规模越来越大, 同时还集成了异质功能模块, 如 DSP, BRAM 等, 这些对时钟网络的设计提出了新的要求. 要保持 FPGA 全芯片同步, 那么对时钟网络的偏斜、延迟、功耗和面积的设计是一项极具挑战

的工作^[1].

时钟网络可划分为树型和网格型两大类结构. 树型结构的结点驱动器输出端是独立的分支, 而网格型结构将其中某一级结点驱动或几级结点驱动的输出端通过纵横金属网格连接起来^[2-4].

目前商用 FPGA 产品几乎全部采用树型结构^[5], 这

种时钟网络具备以下特点:(1)高偏斜,商用 FPGA 时钟网络通常采用全定制设计,受预留版图位置的限制而得到的不均衡拓扑结构,导致时钟偏斜相对较大,以最新的 Xilinx Virtex7 为例,skew 达到 150 ~ 210ps^[6];(2)低速度,因为受限于多路时钟的串扰,FPGA 时钟速度相对较低,Virtex7 的芯核时钟速度仅为 600 ~ 800MHz^[6];(3)高动态功耗,与 ASIC 仅有 1 路时钟树不同,FPGA 通常拥有多路全局时钟和局域时钟,当运行比较大的应用电路时,FPGA 时钟网络占据总动态功耗的近半^[7,8].因此,如何设计优化时钟网络对 FPGA 整体性能起至关重要的作用.

主流的 FPGA 时钟网络架构包括:H 树型,鱼骨型和混合型^[1].这三种结构本质上都是树型时钟网络,主要区别在于时钟驱动的层数以及每一层扇出数目.H 树型结构具有高度的对称性,对于整体结构比较方正的时钟域而言,可以较好的控制时钟偏斜.但是,该结构为了追求时钟拓扑上的绝对对称,需要布置更多的绕线资源,通常用在规模较小的低端 FPGA 产品中,例如 Altera 公司的 Stratix 系列^[9].鱼骨型结构的主干线网和分支线网都类似鱼骨,这种结构布线简单,适合商业化的快速开发,例如容量和规模较大 Xilinx 的 Virtex 7 系列,缺点是支路的 SKEW 相对较大^[10].混合型时钟网络结构,是前面两种结构的结合,在主干部分使用 H 树型,在分支部分使用鱼骨结构,折中了每一级时钟树节点扇出个数与级数关系,这种结构在 Altera Stratix V 系列中有应用^[11].

由于 FPGA CDN 对全芯片性能的重要性,学术界也对其进行了较为深入的研究.UBC 大学的 Wilton 对 FPGA 时钟网络的灵活性^[12]和功耗^[13]进行了较为详细的讨论,并研究了时钟敏感的 FPGA 布局算法^[14].多伦多大学的 Huda 对 FPGA 中的门控结构来降低动态功耗进行了详细研究^[15].帝国理工大学的 Peter Cheung 对 FPGA 时钟网络做了结构化建模^[16].从时钟偏斜补偿的角度,Peter Cheung 又基于结构化模型做了更进一步的研究^[17].除此之外,还有一些研究机构通过自动流程进行时钟网络层次化综合^[18,19],或者通过布局算法来降低树型时钟网络的功耗^[20]等等.然而,到目前为止,尚没有关于 FPGA 时钟网络结构参数的设计方法的讨论.

2 FPGA CDN 拓扑结构

本文基于全定制设计流程,假定缓冲器(BUF)集中在有限个结点处,结点与结点之间通过金属线连接,设计时在版图上提前预留出 BUF 的位置以及布线通道.

FPGA CDN 的参数可分成两大类,拓扑结构参数和互连电路参数,并对其进行统一的定义.总体上而言,图 1 给出了 FPGA CDN 的结构参数的示意图.其中,图 1(a)描述了 FPGA CDN 的拓扑结构,Lvl 表示 CDN 的层

数,例如 Lvl1 表示第 1 层;图 1(b)描述了 FPGA CDN 的中继器与互连结构.

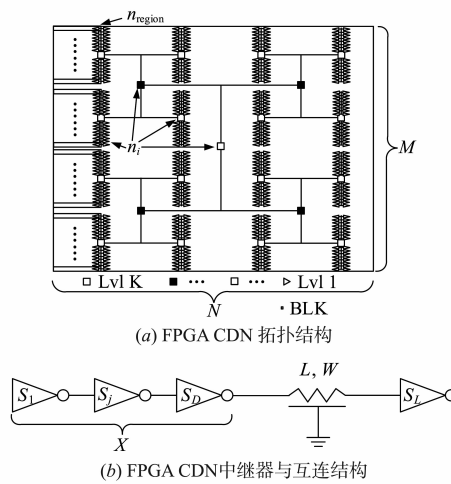


图1 时钟网络参数化模型

本文所述时钟网络的结构参数如表 1 所示,表中将全部结构参数细分成了三类,分别是拓扑参数、中继器参数和互连线参数:

表 1 FPGA 时钟网络关键结构参数

拓扑参数	描述	中继器参数	描述
M	BLK 行数	X	驱动反相器级数
N	BLK 列数	S_j	第 j 级驱动反相器尺寸
K	时钟缓冲器层数	S_1	第 1 级驱动反相器尺寸 ($j=1$)
n_i	第 i 级时钟驱动扇出数	S_D	最后 1 级驱动反相器尺寸 ($j=X$)
n_{region}	可门控的时钟区域数	S_L	第 1 级负载反相器尺寸
互连线参数与描述			
L	时钟线长	W	时钟线宽

3 FPGA CDN 建模

根据上文的参数定义,本章分别从拓扑和电路与互连两个方面对 FPGA CDN 进行建模.在每部分的建模之后,分别对模型的有效性进行了验证,并且讨论了模型所揭示的设计规律.

从图 1 中可以看出:

(1) H 树型在三种时钟网络中最为对称,第 2 级以后的扇出固定为 4. 而第 1 级扇出结点数目与 M 、 N 的对称性相关,在 $M=N$ 时(例如 16×16 、 32×32 等),扇出结点为最小数 1. 而当 $M \neq N$ 时, M 与 N 相差越大,扇出结点数越多. H 树型结构更适合比较平衡的 FPGA 结构,即 $M \approx N$.

(2) 鱼骨型的第 1 级时钟结点扇出与 M 、 N 无关,本文假定为 8 且保持不变,第 2 级与行数 M 正相关,第 3 级与列数 N 正相关,通常鱼骨型只需要 3 级 BUF 驱动

就可以实现 FPGA 全芯片的时钟树.

(3)混合型的第 1 级与 M 正相关,第 2 级与 N 正相关,第 3 级往后都为 4,这些说明混合型结构结合了 H 树型与 Rib-Spine 型的特性,正好与前文分析的混合型结构特点相吻合.

(4)由于时钟区域数目与第 1 级扇出数成反比,因此,总体而言, H 树结构时钟区域数目是最多的,尤其在 $M=N$ 时,而 Rib-Spine 型与 M,N 均线性相关,混合型仅与 N 线性相关.

3.1 拓扑建模

因为反相器链的绝对延时和速度主要受扇出总负载电容影响^[20],因此,在拓扑架构设计时尽量使总负载电容最小.同时,在优先满足速度的前提下,我们需要尽量减小 BUF 的功耗和面积.根据式(1)可知,当芯片规模一旦确定,即 $M \times N$ 为某个固定常数,每级扇出数累乘的值即为一确定值.此时,若要总负载电容最小,即是

使得每级的总扇出结点数之和最小.本文假设每个时钟 BUF 的第一级为最小尺寸反向器,且前后级反相器之间的比率固定.于是在根节点和扇出终点固定的情况下,当每级扇出个数相等时,其合最小(此时暂不考虑金属线电容的影响),如式(1)所示.

$$\min \left| \sum_{i=1}^k n_i \right| = \sqrt[k]{M * N} * K \quad (1)$$

此时每级的扇出数是

$$n_i = \begin{cases} 4, & H\text{-tree} \\ \sqrt[k]{M * N}, & \text{Rib-spine} \end{cases} \quad (2)$$

因为混合型兼具了 H 树型和鱼骨型两种的拓扑结构特点,所以混合型结构在靠近根结点处的扇出数与 H 树型一样,固定为 4,而在叶节点的地方则与鱼骨型一样.

考虑 M 和 N 从 16 变化到 72,三种时钟网络的前三级扇出数以及总的时钟区域数目如图 2 所示.

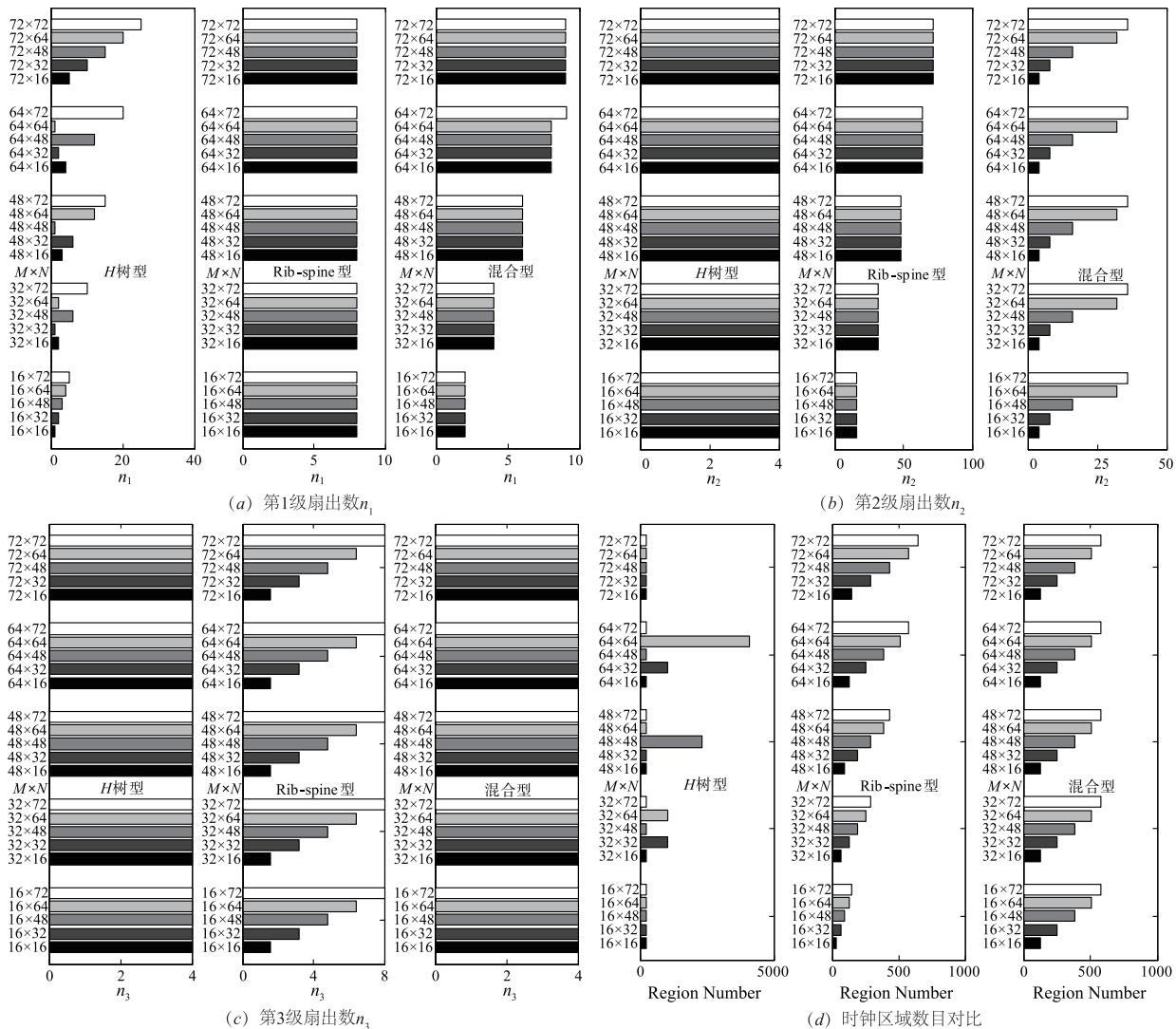


图2 三种结构从1到3级扇出数目对比

3.2 电路及互连结构建模

本文研究的 BUF 均由反相器组成,然而实际商用 FPGA 的 BUF 都会带关断功能.全局和局域时钟网络通过控制门控 BUF 来完成关断功能,从而动态的调节时钟开启/关闭来降低功耗.将 BUF 的第一级换成 NAND 门,即变成门控 BUF.替换 NAND 门后对时钟信号的延时和功耗几乎没有增加,面积上相当于增加一组最小尺寸的反向器.因此,下文对 BUF 的建模研究都是基于反相器完成的,这种假设可以简化研究中涉及的全部参数,突出关键结构参数对时钟网络性能的影响.

3.2.1 延时/边沿模型

假设某一条时钟网络支路中 I_D 和 I_L 分别表示最后一级驱动反相器和第一级负载反相器,两反相器之间是金属互连线, C_L 表示后级电路负载电容, $T_{r,in}$ 和 $T_{r,out}$ 分别表示驱动反相器输入时钟沿和经过互连线以后的输出时钟沿, τ 表示从驱动反相器输入 p 到经过金属线后输出 q 点之间的延时.

在给定拓扑结构下,将互连线建模成分布式电阻和电容模型,任意时钟网络都能表达成反相器驱动的 RC 网络.我们假设时钟网络中继器的输出级反相器 (Transmitter Inverter) 为最小尺寸反相器的 S_D 倍,中继器的接收级反相器 (Receiver Inverter) 为 S_L 倍.根据 Elmore 延时等式,可得传播延时 τ 为:

$$\tau = 0.69R_{dr} \left(C_{int} + \frac{S_L}{S_D} C_g \right) + 0.69 \left(\frac{R_{dr}c_w}{S_D} + r_w C_g S_L \right) L + 0.38r_w c_w L^2 \quad (3)$$

而时钟网络在 m 点的时钟沿 $t_{r,out}$ 为:

$$t_{r,out} = 2.2R_{dr} \left(C_{int} + \frac{S_L}{S_D} C_g \right) + 2.2 \left(\frac{R_{dr}c_w}{S_D} + r_w C_g S_L \right) L + 0.9r_w c_w L^2 \quad (4)$$

式(3)和(4)用到的常数在表 2 中列举出.

表 2 参数列表

符号	意义	参数值
C_w	金属单位线长电容 (5000 μm , 0.6 μm /1.5 μm)	0.364pF 0.39pF
R_w	金属单位线长电阻	53mOhm/sq
C_{int}	反相器本征电容 (nmos/pmos $W = 1\mu\text{m}$)	nmos: 1.106fF pmos: 1.01fF
C_g	反相器栅极电容 (nmos/pmos $W = 1\mu\text{m}$)	0.143fF
R_{dr}	反相器内阻 (nmos/pmos $W = 1\mu\text{m}$)	nmos: 9.3Kohm pmos: 21.4Kohm

本文在标准 CMOS 0.13 μm 工艺条件下,搭建了仿真平台:扇出数支持从 4 到 36,依据扇出数目,驱动尺寸设置成 3 组,分别与扇出比例为 1:2、1:1 和 2:1.互连线金属层选择 m_2 ,线宽固定为 0.2 μm ,线长则依据 BUF 所在位置设置成 250 μm 、500 μm 、1mm 以及 2.5mm

四种长度.当线长固定为 1mm 时,金属线选择 $W = 0.2\mu\text{m}$ 、0.4 μm 、0.6 μm 和 1.2 μm 四种宽度.仿真时钟 1GHz, $t_{th} = 100\text{ps}$, $t_{nl} = 100\text{ps}$, $V_{DD} = 1.5\text{V}$.实验结果如图 3 和图 4.

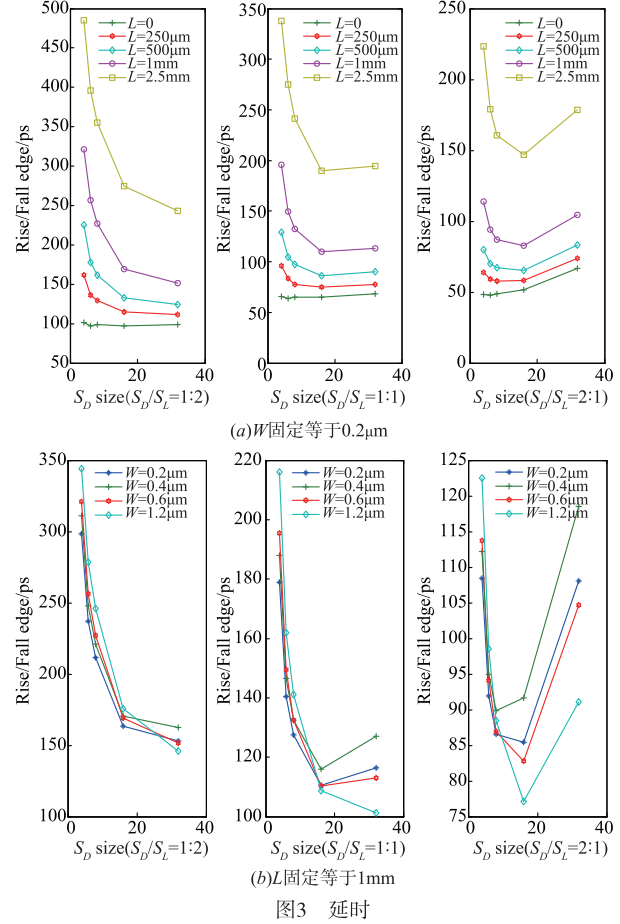


图 3 延时

从图 3 和图 4 可以看出,仿真结果与式(3)和(4)得出的推论基本相符:

(a)在不考虑金属互连线的情况下($L=0$),上升下降沿(δ)和传播延时(τ)仅与输出驱动和扇出负载的前后级比例 S_L/S_D 线性相关,与驱动级的绝对尺寸以及扇出数目均无关.

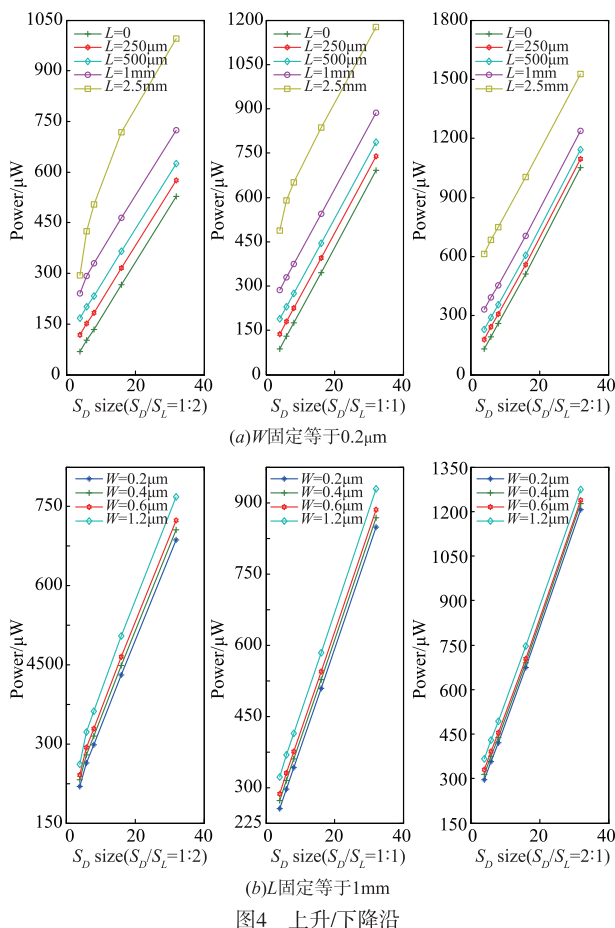
(b)考虑金属互连线的情况下($L \neq 0$),由于增加了分布式金属线电阻和电容 r_w 和 c_w ,于是产生了 L 的 1 次项和 2 次项,即:

$$0.69 \left(\frac{R_{dr}c_w}{S_D} + r_w C_g S_L \right) L + 0.38r_w c_w L^2$$

$$\text{和 } 2.2 \left(\frac{R_{dr}c_w}{S_D} + r_w C_g S_L \right) L + 0.9r_w c_w L^2.$$

这两项与反相器扇出负载 $0.69R_{dr} \left(C_{int} + \frac{S_L}{S_D} C_g \right)$ 和

$2.2R_{dr} \left(C_{int} + \frac{S_L}{S_D} C_g \right)$ 的比例大小决定了延时和上升下



降沿的关键受控参数。

(c) 在线长较短时 ($L \approx 0$), 反相器扇出负载起主要作用, 此时 δ 和 τ 主要与 S_2/S_1 线性相关, 在 S_2/S_1 为某一定值的情况下, 增加驱动尺寸 S_1 , 对 δ 和 τ 改善微乎其微。

(d) 在线长较长时 ($L \gg 0$), 线上负载起主要作用, 此时 δ 和 τ 与线长 L 成平方关系, 此时增加 S_2/S_1 以及驱动尺寸 S_1 都可以明显改善 δ 和 τ 性能。

(e) 线宽对上升下降沿 (δ) 和传播延时 (τ) 的影响微乎其微。这是因为 r_w 与线宽成反比, c_w 与 W 成正比, 对 δ 和 τ 起主要作用的 2 次项 $0.38r_w c_w L^2$ 和 $0.9r_w c_w L^2$ 与线宽无关。然而, 驱动级功耗则与驱动尺寸 S 和连线的负载电容线性相关, 增大连线线宽会大幅增加驱动级功耗和布线面积, 但对 δ 和 τ 性能改善很小。

与延时模型不同, 建立功耗模型需要考虑时钟中继器中从第 1 级到最后 1 级全部反相器的功耗。针对时钟网络某一支路, 中继器有 X 级反相器, S_j 代表每级反相器驱动能力, 于是, 我们得到动态功耗如式(5)所示。

$$P_{dyn} = C_g \cdot \left[(1 + \gamma) \cdot \left(1 + \sum_{j=X} S_j \right) + F \right] \cdot V_{dd}^2 \cdot f \quad (5)$$

式(5)中未包含负载反相器链的功耗, 这是因为时钟网络的链状结构, 前级的负载就是后级的驱动, 所以仅通过讨论驱动反相器链, 即可反映出系统的总动态功耗。其中, γ 表示本征电容与栅极的比率, F 表示负载电容与栅极的比率。

$$\gamma = \frac{C_{int}}{C_g}, \quad F = \frac{c_w L + C_g}{C_g}$$

3.2.2 功耗模型

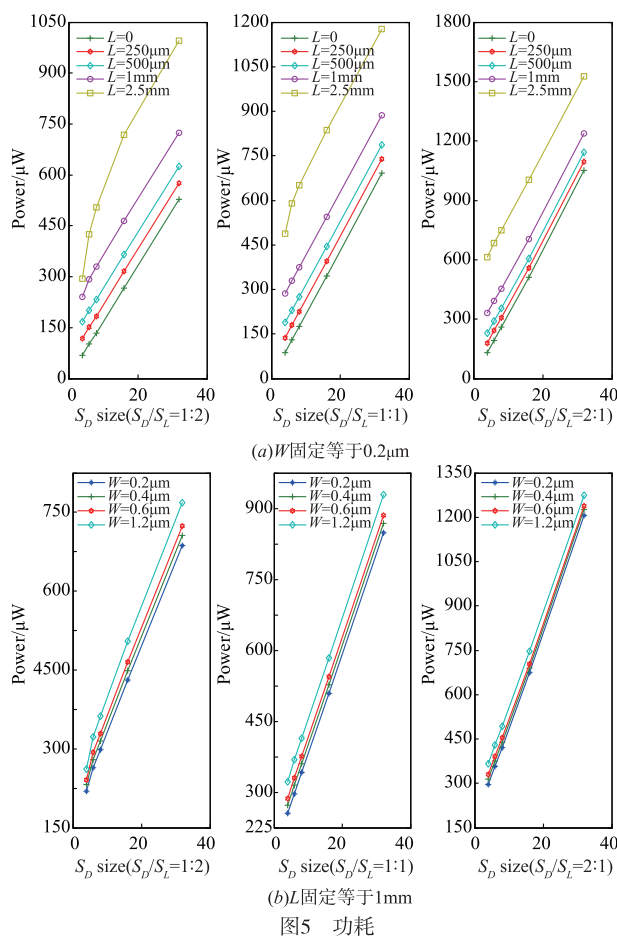
仿真环境与上文相同, 我们继续对功耗模型在不同线长和线宽条件下进行后仿研究。

从图 5 可以看出, 仿真结果与式(5)得出的推论基本相符:

(a) 动态功耗与 S_j 近似线性相关, 与线长 L 正相关。

(b) 动态功耗与线宽 W 弱相关。

(c) 线长较短情况下 ($L < 500\mu\text{m}$), 动态功耗与驱动比 SD/SL 的相关性较低。而在线长较长的情况下 ($L > 500\mu\text{m}$), 动态功耗与 S_D/S_L 正相关。



3.2.3 面积模型

为了精确评估面积, 这部分对反相器版图建立了参数模型。该模型可用来计算单叉指 ($N_j = 1$) 或多叉指

($N_f \neq 1$) 结构的反相器面积 A_{inv} , 如式(6)所示.

$$A_{inv} = (L_{s/d} \times (N_f + 1) + L_g \times N_f) \times (W_{f,p} + W_{f,n}) \quad (6)$$

其中, $L_{s/d}$ 表示源/漏结长度, L_g 表示栅极长度, N_f 表示叉指数目, W_f 表示叉指宽度.

式(6)中, 通常, L_g 选择最小线长, 这时 BUF 的面积与叉指数 N_f 以及叉指宽度 W_f 的乘积正相关, 而 W_f 又等于 W_{inv} 与 N_f 的比值. 因此, 根据前文对速度和功耗的约束的条件下, 即 W_{inv} 为某个定值, 此时 N_f 越大, 反相器面积越小. 也就是说同样驱动尺寸的情况下, 应该尽量增加叉指数目.

同样, 在标准 CMOS 0.13 μm 工艺下, 我们设定 $L_{s/d} = 0.3 \mu\text{m}$, $L_g = 0.21 \mu\text{m}$. 此时, 中继器中的反相器链面积与比例因子 S_j 的关系如图 6 所示.

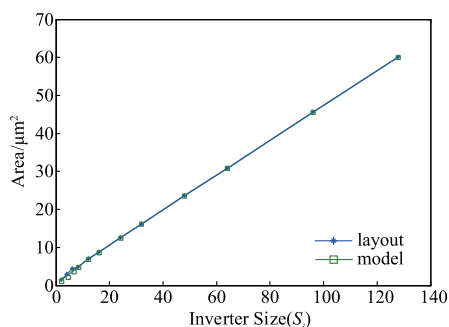


图6 反相器面积与比例因子 S_j

从图 6 可以看出, 本文对系列反相器版图面积建模与实际版图基本匹配. 在初始阶段, 曲线的线性度有些许偏离. 这是因为在反相器面积较小时 ($S_j < 10$), 通常不使用叉指结构, 而当反相器面积较大时 ($S_j > 10$), 全部采用叉指结构, 从而造成了前后的线性度不一致.

4 FPGA CDN 设计与优化方法

基于上文所建立的模型, 本章分别从拓扑结构和电路及互连结构两方面对本文所提的 FPGA CDN 设计方法进行阐述.

4.1 拓扑结构设计及优化

拓扑结构: (1) 根据 M 和 N 的偏差程度, 选择与之适合的拓扑类型. 当 M 和 N 相等或接近相等时, 宜选择 H 树型; 当 M 和 N 相差较远时, 宜选择鱼骨型; 当 M 和 N 处于上述两种情况之间时, 可选混合型; (2) 对于 H 树型结构, 因为每层扇出数固定为 4, 驱动 BUF 的层数也是确定的. 而对于鱼骨型或混合型结构, 在根据预留版图空间确定层数的情况下, 宜尽量保持每层的扇出数相等; (3) 每层 BUF 的驱动强度与扇出负载比例宜选 1:1 以上, 具体尺寸还应参照功耗和版图面积的约束进行设计.

4.2 电路及互连线尺寸设计与优化

电路与互连线: (1) 根据分析, 每个驱动器中各级反相器尺寸比宜选在 1:4 至 1:2 之间^[20]. 结合第 3 章仿真结果, 驱动尺寸绝对值较小时, 宜选择大驱动比 1:2. 而当驱动绝对尺寸较小时, 则选 1:4 较合适; (2) 在满足电流密度约束的前提下, 互连线宽可选择最小线宽; (3) 若驱动器后跟随长线, 宜分段通过插入数个反相器截断长线; (4) 反相器版图设计时, 应该尽可能增加叉指数目.

4.3 对比试验

由于 FPGA 高度的规整及对称性, 目前商用 FPGA 的逻辑资源均以偶数的行列排布为主. 本文假设 M 、 N 为偶数, 选取 $M = 64$, $N = 72$ 的典型值, 每个 BLK 对应一个接入 BUF, 如表 3 所示.

表 3 FPGA 基础结构参数

FPGA	参数	意义	典型值
基础结构参数	M	BLK 行	64
	N	BLK 列	72

我们假定每级时钟 BUF 的第一级尺寸为最小尺寸反相器, 根据第 3 节的讨论, 从式(2)可得到时钟路径最优延时, 即, 每级时钟 BUF 的理论扇出数 n_j 如表 4 所示.

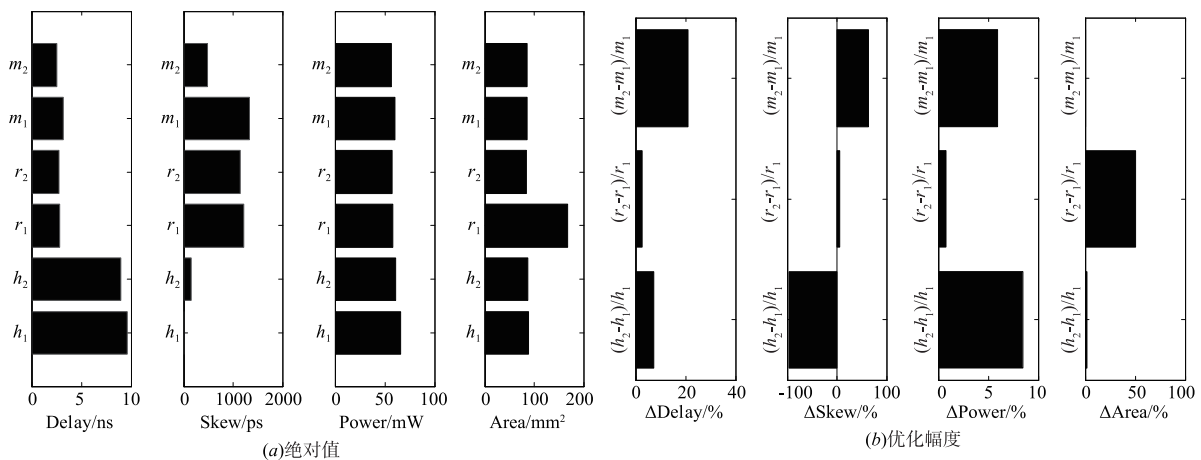
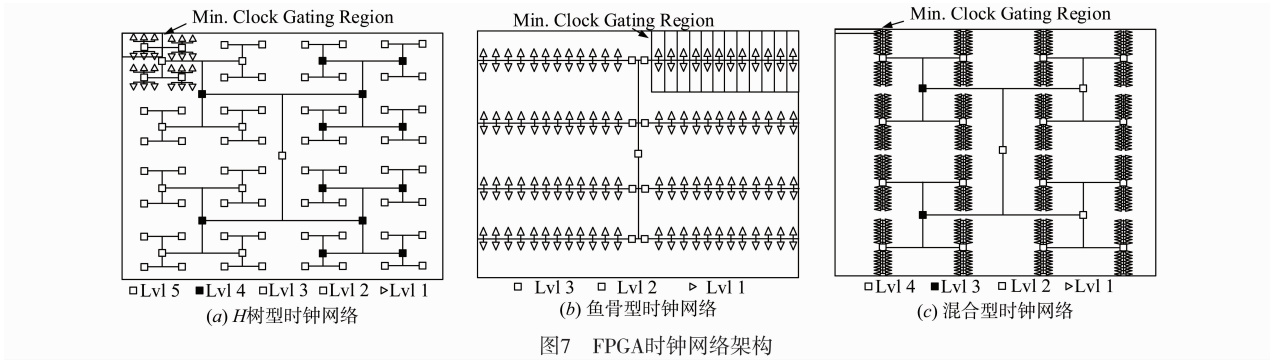
表 4 最优延时时钟网络

	H 树型	鱼骨型	混合型
K	5	3	4
n_j	5.4	16.6	8.2

依据表 4, 本文对传统 H 树型、鱼骨结构和混合型结构进行了优化, 使得每级尽量靠近最优延时结构下的 K 和 n_j 值. 图 7 显示了三种时钟网络架构的示意图, 其中 LV11 到 LV15 分别表示从寄存器结点到时钟网络根结点之间的 1 至 5 级时钟驱动器, 小方框圈起来的区域表示可门控的最小时钟域.

由于 CDN 结构参数对于任意一家商用 FPGA 公司而言都是最核心的技术, 我们无法获得商用 FPGA 芯片的 CDN 性能指标. 所以本文以 200 万逻辑门 FPGA 为 CDN 实际应用背景, 采用标准 CMOS 的 0.13 μm 工艺, 结合 UBC 大学 Wildon 所提出方法设计了第 1 组尺寸参数^[12,13], 然后依据本文所提方法设计了第 2 组尺寸参数, 通过对比两组 CDN 设计参数的仿真结果, 来验证本文所提方法的优化程度.

本文针对三种不同类型的时钟网络设计了 6 个版图, 分别用下标区分为第 1 组 (h_1, r_1, m_1) 和第 2 组 (h_2, r_2, m_2). 本文取以上两组 CDN 版图的 1/4, 图 8 分别显示了 6 个 CDN 的左上象限, 所有结构参数如表 5 所示.



4.4 实验结果

本文在标准 CMOS 0.13 μm 工艺条件下,搭建了仿真平台. 仿真时钟为 1GHz, 上升沿 $t_{rh} = 100\text{ps}$, 下降沿 $t_{hl} = 100\text{ps}$, 占空比为 50%, 电源电压 $V_{DD} = 1.5\text{V}$. 图 9 显

示了以上 6 种结构的对比结果,从中可看出:经过优化设计后,混合型结构 m_2 绝对延时和时钟偏斜减小最多,分别达到 20.89% 和 63.20%. 而鱼骨型结构 r_2 的时钟面积减小最多,达到 50.14%. H 树型结构 h_2 的绝对

延时和功耗则均降低了 7.37% 和 8.33%。另外,我们也需要注意,重新优化参数后,严格说来, h_2 已经从 H 树型变成混合型。因此,时钟偏斜并未减小,反而从

4.85ps 上升为 149ps。针对时钟网络去偏斜问题将在以后的研究中进一步讨论。

表 5 FPGA 时钟网络优化对比参数

	参数	意义	H 树型		鱼骨型		混合型		
			$h_1^{[13]}$	h_2^*	$r_1^{[13]}$	r_2^*	$m_1^{[13]}$	m_2^*	
拓扑结构	n_{x_region}	X 方向时钟区域数目	8	72	24	4	4	8	
	n_{y_region}	Y 方向时钟区域数目	8	8	4	64	16	64	
	K	时钟缓冲器层数	5		3		4		
	n_1	连接 BLK 的第一层	18	8	16	16	9	9	
	n_2	连接 BLK 的第二层	4	6	36	18	32	8	
	n_3	连接 BLK 的第三层	4	6	8	16	4	8	
	n_4	连接 BLK 的第四层	4	4	-	-	4	8	
	n_5	连接 BLK 的第五层	4	4	-	-	-	-	
电路及互连线的参数									
$S_1 = S_L = 2$			$S_D = n_i \times 2$		$X = 3 \sim 5$		$L < 1 \text{ mm}$		$W = 0.2 \mu\text{m}$

注:带 * 上标的表示按照本文所提方法设计 CDN 的参数

5 总结

本文在时钟网络关键结构尺寸的参数化建模基础上,提出一种 FPGA 时钟网络的设计和优化方法。通过对比 H 树型、鱼骨型以及混合型三种类型时钟网络优化前与优化后的延时、偏斜、功耗和面积等性能参数,结果显示:混合型结构的绝对延时和时钟偏斜减小最多,分别达到 20.89% 和 63.20%;鱼骨型结构的面积减小达到 50.14%; H 树型结构的绝对延时和功耗则均降低了 7.37% 和 8.33%。以上结果充分证明了本文所提设计优化方法的有效性。

参考文献

- [1] E G Friedman. Clock distribution networks in synchronous digital integrated circuits [J]. Proceedings of the IEEE, 2001, 89(5): 665 - 692.
- [2] M A El-Moursy, E G Friedman. Exponentially tapered H-tree clock distribution networks [J]. IEEE Transactions on Very Large Scale Integration Systems (TVLSI), 2005, 13(8): 971 - 975.
- [3] J Rosenfeld, E G Friedman. Design methodology for global resonant H-tree clock distribution networks [J]. IEEE Transactions on Very Large Scale Integration Systems (TVLSI), 2007, 15(2): 135 - 148.
- [4] A Rajaram, D Z Pan. Meshworks: A comprehensive framework for optimized clock mesh network synthesis [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), 2010, 29(12): 1945 - 1958.
- [5] Wei-Khee Loo, Kok-Siang Tan, Ying-Khai Teh. A study and design of CMOS H-tree clock distribution network in system-on-chip [A]. IEEE 8th International Conference on ASIC (ASICON) [C]. Changsha, China, 2009. 411 - 414.
- [6] Xilinx Corporation. Virtex7 Datasheet [EB/OL]. http://www.xilinx.com/support/documentation/data_sheets/ds183_Virtex_7_Data_Sheet.pdf, 2012.
- [7] Yu Le, Sun Jiabin, Chen Zhuojia, et al. A design methodology for low-leakage and high-performance buffer based on deviant behavior of gate leakage [J]. Journal of Electronics (China), 2014, 31(5): 411 - 415.
- [8] Yang Haigang, Zhang Jia, Sun jiabin, Yu Le. Review of advanced FPGA architectures and technologies [J]. Journal of Electronics (China), 2014, 31(5): 371 - 393.
- [9] Altera Corporation. Stratix Device Handbook [EB/OL]. https://www.altera.com.cn/zh_CN/pdfs/literature/hb/stx/ch_11_vol_2.pdf, 2005.
- [10] Xilinx Corporation. Xilinx 7 Series FPGAs Clock Network [EB/OL]. https://china.xilinx.com/support/documentation/user_guides/ug472_7Series_Clocking.pdf, 2016.
- [11] Altera Corporation. Stratix V Device Handbook [EB/OL]. https://www.alteracom.cn/en_US/pdfs/literature/hb/stratix-v/stx5_core.pdf, 2016.
- [12] Kara K W Poon, Steven J E Wilton, Andy Yan, et al. A detailed power model for field-programmable gate arrays [J]. ACM Transactions on Design Automation of Electronic Systems (TODAES), 2005, (10)2: 279 - 302.
- [13] J Lamoureux, S J E Wilton. FPGA clock network architecture: flexibility vs area and power [A]. Symposium on Field Programmable Gate Arrays (FPGA) [C]. Monterey, USA, 2006. 101 - 108.
- [14] J. Lamoureux, S J E Wilton. Clock-aware placement for FPGAs [A]. IEEE International Conference on Field Programmable Logic and Applications (FPL) [C]. Amster-

- dam, 2007. 124 – 131.
- [15] S Huda, M Mallick, J H Anderson, et al. Clock gating architectures for FPGA power reduction [A]. IEEE International Conference on Field Programmable Logic and Applications (FPL) [C]. Prague, Czech Republic, 2009. 112 – 118.
- [16] P Sedcole, J S Wong, P Y K Cheung. Characterization of FPGA Clock Variability [A]. IEEE Computer Society Annual Symposium on VLSI (ISVLSI) [C]. Montpellier, France, 2008. 322 – 328.
- [17] P Sedcole, J S Wong, P Y K Cheung. Modelling and compensating for clock skew variability in FPGAs [A]. International Conference on Field Programmable Technology (ICFPT) [C]. Taipei, 2008. 217 – 224.
- [18] G Lhairech-Lebreton, P Coussy, E Martin. Hierarchical and multiple-clock domain high-level synthesis for low-power design on FPGA [A]. International Conference on Field Programmable Logic and Applications (FPL) [C]. Milano, Italy, 2010. 464 – 468.
- [19] Loh Siang Poh, Lim Chooi Pei. Hybrid clock network for altera structure ASIC devices [A]. IEEE International Conference on Semiconductor Electronics (ICSE) [C]. Leipzig, Germany, 2008. 23 – 26.
- [20] A Rakhshanfar, J H Anderson. An integer programming placement approach to FPGA clock power reduction [A]. 16th Asia and South Pacific Design Automation Conference (ASP-DAC) [C]. Pacifico Yokohama, JP, 2011. 831 – 836.

作者简介



余 乐(通信作者) 男, 1983 年 6 月生于湖北黄冈, 现为北京工商大学计算机与信息工程学院讲师. 现在的研究兴趣: 计算视觉与类脑芯片.

E-mail: yule@btbu.edu.cn



陈 岩 女, 1963 年 7 月生于黑龙江哈尔滨, 现为北京工商大学计算机与信息工程学院教授, 研究方向: 无线传感器网络技术应用、数字通信抗干扰技术.